

Partial English Translation of  
LAID OPEN unexamined JAPANESE PATENT APPLICATION  
Publication No. 62-154909

**Scope of Claim**

**1. An amplifier circuit comprising:**

first and second amplifiers having different phases from each other and using respective outputs, first offset cancel means jointed with the first amplifier, second offset cancel means jointed with the second amplifier, and control means for controlling the first offset cancel means and the second offset cancel means so as to set an offset cancel signal for the first amplifier to the first offset cancel means when the output of the first amplifier is not used and so as to set an offset cancel signal for the second amplifier to the second offset cancel means when the output of the second amplifier is not used.

**2. The amplifier circuit of Claim 1, wherein each of the amplifiers includes a storage capacitance for integration, and the control means controls an exchange between the offset cancel operation and an integration operation at a reset timing of the storage capacitance.**

**[Object of the Invention]**

The object of the present invention is to provide an amplifier circuit capable of performing offset cancel without substantial interruption of the normal circuit operation.

The above and the other objects and the novel features of the present invention will be cleared from the present specification and the attached drawings.

**[Summary of the Invention]**

The brief description of a typical one of the invention disclosed in the present invention is as follows.

That is, first and second differential amplifiers are provided, for which the offset cancel is performed during the other amplifier is used for the normal circuit operation, thereby enabling the offset cancel operation without substantial interruption of the normal circuit operation.

## ⑫ 公開特許公報 (A)

昭62-154909

⑬ Int.Cl.  
H 03 F 3/34識別記号 庁内整理番号  
B-6628-5J

⑭ 公開 昭和62年(1987)7月9日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 増幅回路

⑯ 特願 昭60-292678  
⑰ 出願 昭60(1985)12月27日⑱ 発明者 山本 恭敬 小平市上水本町1450番地 株式会社日立製作所武藏工場内  
⑲ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代理人 弁理士 小川 勝男 外1名

## 明細書

発明の名称 増幅回路

## 特許請求の範囲

1. 互いに異なる位相をもつて夫々の出力が利用される第1、第2増幅器と、上記第1増幅器に結合された第1オフセットキャンセル手段と、上記第2増幅器に結合された第2オフセットキャンセル手段と、上記第1増幅器の出力が利用されていないときにおいて上記第1増幅器のためのオフセットキャンセル信号が上記第1オフセットキャンセル手段に設定され且つ上記第2増幅器の出力が利用されていないときにおいて上記第2増幅器のためのオフセットキャンセル信号が上記第2オフセットキャンセル手段に設定されるように上記第1、第2オフセットキャンセル手段を制御する制御手段とを含むことを特徴とする増幅回路。

2. 上記増幅回路は、積分用の蓄積容量を含み、上記制御手段は、蓄積容量のリセットタイミングにおいてオフセットキャンセル動作と積分動作との切換制御を行うことを特徴とする特許請求の範

## 四 第1項記載の増幅回路。

## 発明の詳細な説明

## 【技術分野】

本発明は増幅回路に係り、例えば電圧-周波数変換器（以下V-Fコンバータとも称する）に適用して有効な技術に関する。

## 【背景技術】

本発明者は、被計測電圧量を周波数に変換する電圧-周波数変換回路を検討した。この電圧-周波数変換回路は、積分用容量と演算増幅回路のような増幅器とから成る積分回路と、斯る積分回路の出力レベルを判別するレベル判別回路とを含む。ここで、増幅器は、必ずしも理想的なものでなく、実際上は無視し得ないオフセットをもつ。増幅器がオフセットをもつ場合、それに応じて変換精度が低下する。そこで、増幅器がオフセットをもっているにかかわらず、見掛け上オフセットが無いようにするため、増幅器のオフセット量を計測し、その計測結果に基づいて斯る増幅器に逆方向のオフセット信号を与えることを検討した。その場合、

斯る電圧一周波数変換回路に適用される増幅回路のオフセットキャンセルが計測動作開始前に行われるだけでは、電源電圧や温度変化によってオフセット電圧が経時的に発動すると、それによって計測誤差を生じてしまう点がみいだされた。しかしながら、この電圧一周波数変換回路を例えば、水道メータ、電力メータ等として使用した場合、その性質上、計測動作を中断して再度オフセットキャンセルを行うことはできない。

なお、積分回路のオフセットキャンセルについて記載された文献の例としては、昭和56年6月30日浅井喜店発行の「集積回路応用ハンドブック」P217乃至P221がある。

#### 【発明の目的】

本発明の目的は実質的に通常の回路動作を中断することなくオフセットキャンセルを行うことができる増幅回路を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書及び添付図面から明らかになるであろう。

- 3 -

け、データ処理部LCからの制御信号 $\phi_1$ に基づいて上記入力電圧 $+E_i$ と $-E_i$ とが交互に入力されるようにスイッチ制御される。

同図において $A_{op1}$ 及び $A_{op2}$ はオペアンプであり、夫々の一入力端子は切換スイッチSW2を介して交互に上記入力スイッチSW1からの入力電圧を受けるようになっていると共に、切換スイッチSW3を介して交互に接地端子に接続可能なになっている。而切換スイッチSW2及びSW3は制御回路CONからの制御信号 $\phi_2$ に基づいて逆位相で、言い換えるなら、一方のオペアンプの一入力端子が入力電圧を受けるとき他方のオペアンプの一入力端子は接地端子に接続されるというようにスイッチ制御される。オペアンプ $A_{op1}$ 及び $A_{op2}$ の出力端子は、上記同様に制御信号 $\phi_2$ によつて逆位相で夫々スイッチ制御される切換スイッチSW4及びSW5の入力端子に結合される。したがって、各切換スイッチSW2乃至SW5が図の次線で示される位置を探ると、切換スイッチSW2及びSW4の入力端子及び出力端子はオ

#### 【発明の概要】

本願において開示された発明のうち代表的なもの概要を簡単に説明すれば下記の通りである。

すなわち、第1、第2の差動増幅器を設け、一方の差動増幅器が通常の回路動作のために利用されているとき他方の差動増幅器のオフセットキャンセルを行うことにより、通常の回路動作を実質的に中断することなくオフセットキャンセル動作を可能とするものである。

#### 【実施例】

第1図は本発明に係る積分回路の一実施例を示す回路図である。同図に示される回路は電力メータに適用されたものである。特に制限されないが、図示の回路は、公知のCMOS集積回路技術によって、その全体が1つの半導体基板上に形成される。それ故に、図示の回路において機械式スイッチのように表示されたスイッチは、実質上MOSFETから構成される。

同図においてSW1は入力スイッチであり、消費電流に比例した入力電圧 $+E_i$ と $-E_i$ とを受

- 4 -

ペアンプ $A_{op1}$ の入出力端子に接続され、切換スイッチSW3及びSW5の入力端子及び出力端子はオペアンプ $A_{op2}$ の入出力端子に接続される。また、それとは逆に各切換スイッチSW2乃至SW5が図の箭線で示される位置を探ると、切換スイッチSW2及びSW4の入力端子及び出力端子はオペアンプ $A_{op2}$ の入出力端子に接続され、切換スイッチSW3及びSW5の入力端子及び出力端子はオペアンプ $A_{op1}$ の入出力端子に接続される。

上記切換スイッチSW2の入力端子と切換スイッチSW4の出力端子との間には、蓄積容量C1が結合され、その蓄積容量C1にはデータ処理部LCからの制御信号 $\phi_1$ に基づいてスイッチ制御されるリセットスイッチSW6が並列接続される。斯る蓄積容量C1には、交互にそれと並列接続されるオペアンプ $A_{op1}$ 、 $A_{op2}$ を介し、上記リセットスイッチSW6のオフ期間中に、抵抗R1と蓄積容量C1によって決る時定数に従つて入力電圧 $+E_i$ 、 $-E_i$ の極性に応じた電荷が積分され

て蓄積される。

上記切換スイッチ SW4 の出力端子は、基準電圧 +Vref と -Vref とがそれぞれ参照電位として供給される一对のコンパレータ Com1 及び Com2 の入力端子に結合される。各コンパレータ Com1 及び Com2 は、入力電圧が参照電位と一致したとき夫々能動信号を出力する。コンパレータ Com1 及び Com2 の出力端子は夫々セット・リセット型フリップフロップ回路 FF のセット端子 S 及びリセット端子 R に結合され、そのフリップフロップ回路 FF の出力端子 Q は前記データ処理部 LC の入力端子に結合される。

上記コンパレータ Com1 及び Com2 はノード N1 における積分電圧を受けることになり、その積分電圧が+極性の場合、当該積分電圧が基準電圧 +Vref に一致したときフリップフロップ回路 FF がセット状態にされ、それによってフリップフロップ回路 FF からハイレベルの信号がデータ処理部 LC に供給される。このとき、データ処理部 LC からの制御信号によりリセットスイ

ッチ SW6 が閉じられ、蓄積容量 C1 における蓄積電荷が放電され、その後再びリセットスイッチ SW6 がオフ状態にされる。次に入力スイッチ SW1 が反転されてノード N1 における積分電圧が-極性にされると、当該積分電圧が基準電圧 -Vref に一致したときにフリップフロップ回路 FF がリセット状態にされ、それによってフリップフロップ回路 FF からの出力信号がロウレベルに反転されてデータ処理部 LC に供給される。このとき、上記同様データ処理部 LC からの制御信号によりリセットスイッチ SW6 が閉じられ、蓄積容量 C1 における蓄積電荷が放電され、その後再びリセットスイッチ SW6 がオフ状態にされる。このような積分動作が順次繰り返されると、データ処理部 LC は、入力電力値に比例した周波数を有するパルス列を発生することになる。このパルス列の周波数を検出し、それに基づいて電力値の計測処理などを行う。

上記積分動作において制御回路 CON に供給されるクロック信号 CLK の制御により制御信号

- 7 -

のレベルを変化させ、それによって、上記切換スイッチ SW2 乃至 SW5 を反転切換動作させる。したがって、上記積分動作に固有するオペアンプは、クロック信号 CLK によって一定時間毎にオペアンプ Aop1 及び Aop2 に交互に切換られる。また、特に制限はないが、アンプの切換タイミングにて、リセットスイッチ SW6 を閉鎖するための制御信号により同期した制御信号がデータ処理部 LC から制御回路 CON に供給される。制御回路 CON は、クロック信号 CLK によるアンプ切換命令を受け付けた直後に入力した制御信号にに基づきリセットスイッチ SW6 のオンタイミングにほぼ同期して制御信号のレベルを立ち上げ、それによって上記切換スイッチ SW2 乃至 SW5 を反転切換動作させる。このようなタイミングで交互にオペアンプ Aop1 及び Aop2 が積分動作に切換使用される場合、当該切換時においては蓄積容量 C1 の放電動作が行われているから、その切換動作は積分動作に何等影響を与えるものではない。

- 8 -

一方のオペアンプが上記積分動作に固有しているとき、他方のオペアンプのオフセット量を検出するため、上記切換スイッチ SW5 の出力端子はゼロクロスコンパレータ Com3 の入力端子に結合され、当該ゼロクロスコンパレータ Com3 の出力電圧 Vsen は制御回路 CON に供給される。上記オペアンプ Aop1 及び Aop2 の+入力端子は夫々オフセットキャンセル手段としての D/A コンバータ Dac1 及び Dac2 の出力端子に結合される。D/A コンバータ Dac1 及び Dac2 は、夫々所定ビット数のディジタル制御信号及びを制御回路 CON から受け、その信号をディジタル・アナログ変換して夫々オフセット電圧 Voff1 及び Voff2 を出力する。ディジタル制御信号及びは、ゼロクロスコンパレータ Com3 からの出力電圧 Vsen に応じて制御回路 CON で形成され、その出力電圧 Vsen がオフセットキャンセル完了時の期待値になるまで、言い換えるなら、オフセット電圧 Voff1 及び Voff2 によって完全にオフセットキャンセルされるまで 1 ビットづつシフトされ、

次のオフセットキャンセル動作までその最終値が維持される。

上記D/AコンバータDac<sub>1</sub>及びDac<sub>2</sub>によるオフセットキャンセル動作は、積分動作に固有しないオペアンプに対応して交互に何れか一方で行われる。それを制御するため、上記制御回路CONには、特に制限されないが、電源投入検出信号<sub>s</sub>とクロック信号CLKとが供給される。

電源投入検出信号<sub>s</sub>は電力の計測開始時にオペアンプA<sub>mp1</sub>にオフセット電圧V<sub>off1</sub>をイニシャル設定するためのタイミング信号として機能する。即ち、制御回路CONが上記電源投入検出信号<sub>s</sub>によって電源の投入を検知すると、切換スイッチSW2乃至SW5は図の実線で示されるイニシャル位置に設定され、制御信号<sub>s</sub>を介してオペアンプA<sub>mp1</sub>に対するオフセットキャンセル動作が行われる。このとき、オペアンプA<sub>mp2</sub>を介してノードN<sub>1</sub>に得られる、うな積分電圧に基づくデータ処理はデータ処理部LCにおいて禁止されている。このようにしてオペアンプA<sub>mp1</sub>にオフ

セット電圧V<sub>off1</sub>がイニシャル設定され後は、制御信号<sub>s</sub>によって切換スイッチSW2乃至SW5が図の実線で示される位置に反転され、それによってオペアンプA<sub>mp1</sub>による積分動作が可能な状態にされ、それ以降オペアンプA<sub>mp1</sub>及びA<sub>mp2</sub>が交互に積分動作可能なように切り換えて電力の計測が行われる。

また、上記クロック信号CLKは、前述したようにオペアンプA<sub>mp1</sub>、A<sub>mp2</sub>を交互に積分動作及びオフセットキャンセル動作に交互に切り換えると共に、オフセット電圧のイニシャル設定後に、交互にオペアンプA<sub>mp1</sub>、A<sub>mp2</sub>を介して積分動作が行われるとき、当該積分動作に供されていないオペアンプに結合されたD/Aコンバータを識別するための識別信号としても機能する。それによって、制御回路CONは、積分動作中の一方のオペアンプに対応するD/Aコンバータに対してはその前のオフセットキャンセル動作で設定されたオフセット電圧を維持させるように当該D/Aコンバータに制御信号を供給し、また、オフセット

- 11 -

キャンセル動作中の他方のオペアンプに対応するD/Aコンバータに対しては当該オフセットキャンセル動作に必要な制御信号をゼロクロスコンバレータC<sub>on3</sub>からの出力電圧V<sub>sen</sub>に応じて供給する。

特に制限されないが、上記切換スイッチSW3の入力端子と切換スイッチSW5の出力端子との間には、容量C<sub>2</sub>が結合され、その容量C<sub>2</sub>には制御部CONからの制御信号<sub>s</sub>に基づいてスイッチ制御されリセットスイッチSW7が並列接続される。斯る容量C<sub>2</sub>は、オフセットキャンセル動作において切換スイッチの開閉動作などに基因するノイズの影響を直接ゼロクロスコンバレータC<sub>on3</sub>が受けないようにするためのものである。リセットスイッチSW7はオフセットキャンセル動作時にディジタル制御信号<sub>s</sub>、或いは<sub>s</sub>が変化し、D/AコンバータDac<sub>1</sub>、或いはDac<sub>2</sub>の出力が変化する直前に開閉制御され容量C<sub>2</sub>の充電電荷を放電させる。

次に上記実施例の全体的な動作を第2図をも参

- 12 -

照しながら説明する。

制御回路CONが上記電源投入検出信号<sub>s</sub>によって電源の投入を検知すると、切換スイッチSW2乃至SW5は図の実線で示されるイニシャル位置に設定される。そうすると、ゼロクロスコンバレータC<sub>on3</sub>からの出力電圧V<sub>sen</sub>に応じた制御信号<sub>s</sub>がD/AコンバータDac<sub>1</sub>に供給され、その出力電圧V<sub>sen</sub>がオフセットキャンセル完了時の期待値になるまで当該、制御信号<sub>s</sub>が1ビットずつシフトされ、それによってオペアンプA<sub>mp1</sub>にオフセットキャンセル可能なオフセット電圧V<sub>off1</sub>が供給維持される。このようにしてオペアンプA<sub>mp1</sub>にオフセット電圧V<sub>off1</sub>がイニシャル設定され後は、制御信号<sub>s</sub>によって切換スイッチSW2乃至SW5が図の実線で示される位置に反転され、それによってオペアンプA<sub>mp1</sub>による積分動作が可能な状態にされると共に、オペアンプA<sub>mp2</sub>はオフセットキャンセル可能な状態にされる。

入力スイッチSW1を介して入力電圧+D<sub>i</sub>が

供給されると（第2回の時刻 $t_1$ ）、オフセットキャンセルされたオペアンプA<sub>op1</sub>を介して第2回に示されるような+極性の積分電圧がノードN<sub>1</sub>に現れ、当該積分電圧が基準電圧+V<sub>ref</sub>に一致したとき（第2回の時刻 $t_2$ ）、フリップフロップ回路F<sub>FF</sub>がセット状態にされ、それによってフリップフロップ回路F<sub>FF</sub>からハイレベルの信号がデータ処理部LCに供給される。このとき、データ処理部LCからの制御信号 $\phi_1$ によってリセットスイッチSW<sub>6</sub>が閉じられ、蓄積容量C<sub>1</sub>における蓄積電荷が放電され、その後再びリセットスイッチSW<sub>6</sub>がオフ状態にされる（第2回の時刻 $t_3$ ）。

一方、オペアンプA<sub>op2</sub>においては時刻 $t_1$ 乃至 $t_3$ でオフセットキャンセル動作が行われる。即ち、ゼロクロスコンバレータC<sub>os3</sub>からの出力電圧V<sub>sen</sub>に応じた制御信号 $\phi_2$ がD/AコンバータD<sub>ac2</sub>に供給され、その出力電圧V<sub>sen</sub>がオフセットキャンセル完了時の期待値になるまで当該制御信号 $\phi_2$ が1ビットづつシフトされ、それに

よってオペアンプA<sub>op2</sub>にオフセットキャンセル可能なオフセット電圧V<sub>off</sub>が供給被抑される。

オペアンプA<sub>op2</sub>のオフセットキャンセル動作及びオペアンプA<sub>op1</sub>を介する積分動作が完了される時刻 $t_3$ において、上記制御信号 $\phi_1$ によってリセットスイッチSW<sub>6</sub>が閉じられるタイミングに同期して制御信号 $\phi_2$ が制御回路CONに供給される。制御回路CONはその制御信号 $\phi_2$ に基づきリセットスイッチSW<sub>6</sub>のオンタイミングにほぼ同期して制御信号 $\phi_2$ を立ち上げ、それによって上記切換スイッチSW<sub>2</sub>乃至SW<sub>5</sub>を第1回の状態で示すように切り換える。その結果、新たにオフセットキャンセルされたオペアンプA<sub>op2</sub>が積分動作可能にされ、且つオペアンプA<sub>op1</sub>がオフセットキャンセル可能にされる。

そして、時刻 $t_3$ に入力スイッチSW<sub>1</sub>を介して入力電圧-E<sub>1</sub>が供給されると、新たにオフセットキャンセルされたオペアンプA<sub>op2</sub>を介して第2回に示されるような+極性の積分電圧がノードN<sub>1</sub>に現れ、その一方においてオペアンプA<sub>op1</sub>

- 15 -

1のオフセットキャンセル動作が行われる。

このように一方のオペアンプが積分動作中に他のオペアンプはオフセットキャンセル動作されるから、実質的に積分動作を中断することなく逐次オフセットキャンセル動作が可能となり、電源電圧や温度変化による経時的な計測誤差を生ずることなく、長期に亘る高精度な電力測定を達成することができる。しかも、切換スイッチSW<sub>2</sub>乃至SW<sub>5</sub>の動作は、第2回の時刻 $t_1$ 乃至時刻 $t_3$ のように1サイクルの実質的な積分動作を終了した後の蓄積容量C<sub>1</sub>の放電動作中に行われるから、その切換動作が積分動作に何等影響を与えることはない。

#### 〔発明の効果〕

以上説明したことから明らかなように、本願において開示された発明によれば、以下の効果を得るものである。

(1) 一対の差動増幅器にオフセットキャンセル動作と積分動作とを交互に行わせることにより、積分動作を中断することなくオフセットキャンセル

- 16 -

ル動作を行うことができる。

(2) 上記効果より、逐次オフセットキャンセルが可能となり、高精度な積分動作を達成することができる。

(3) 特に、蓄積容量のリセットタイミングにおいてオフセットキャンセル動作と積分動作との切換制御を行えば、その切換動作が積分動作に何等影響を与えることはなく、一層高精度な積分動作が可能となる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。たとえば、上記実施例ではオフセットキャンセル手段としてD/Aコンバータを用いる場合について説明したが、容量にチャージを蓄積するポルテージフォロアのような回路など種々のものに変更可能である。また、切換スイッチの配置構成についても種々の回路構成を採用することができる。更に、オフセットキャンセルに用いる容量及びリセットスイッ

チは、ノイズ対策が施されているような場合には特別設ける必要はない。用語オペアンプれしくは増幅器は、2入力端子をもつ構成の四端のみを意味するものではなく、例えば1つの入力端子と1つの出力端子とをもつインバータ回路のような四端であってもよい。この場合、例えば、オフセットキャンセル信号が与えられた容量がインバータ回路の入力端子に直列接続されることによってオフセットキャンセルが実行される。必要ならば、インバータ回路や増幅回路を構成する負荷端子のような回路の動作点に影響を与える端子それ自体、もしくは斯る端子と並列又は直列又はそれらの組合せをもって結合されるオフセットキャンセル端子の電気的制御によってオフセットキャンセルが実行されてよい。

## 【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となつた技術分野であるV-Pコンバータに適用した場合について説明したが、これに限定されるものではなく、時間変換型や周

波変換型などの積分型A/D変換回路、計測器など增幅回路を用いる種々のものに広く利用することができる。

## 回路の簡単な説明

第1図は本発明に係る積分回路の一実施例を示す回路図。

第2図は動作説明のためのタイムチャートである。

Amp1, Amp2 … 駆動増幅器, Dac1, Dac2 … D/Aコンバータ, C1, C2 … 積分容量, SW1 乃至 SW5 … 切換スイッチ, SW6 … リセッタスイッチ, L1~3 … ゼロクロスコンパレータ, CON … 制御回路。

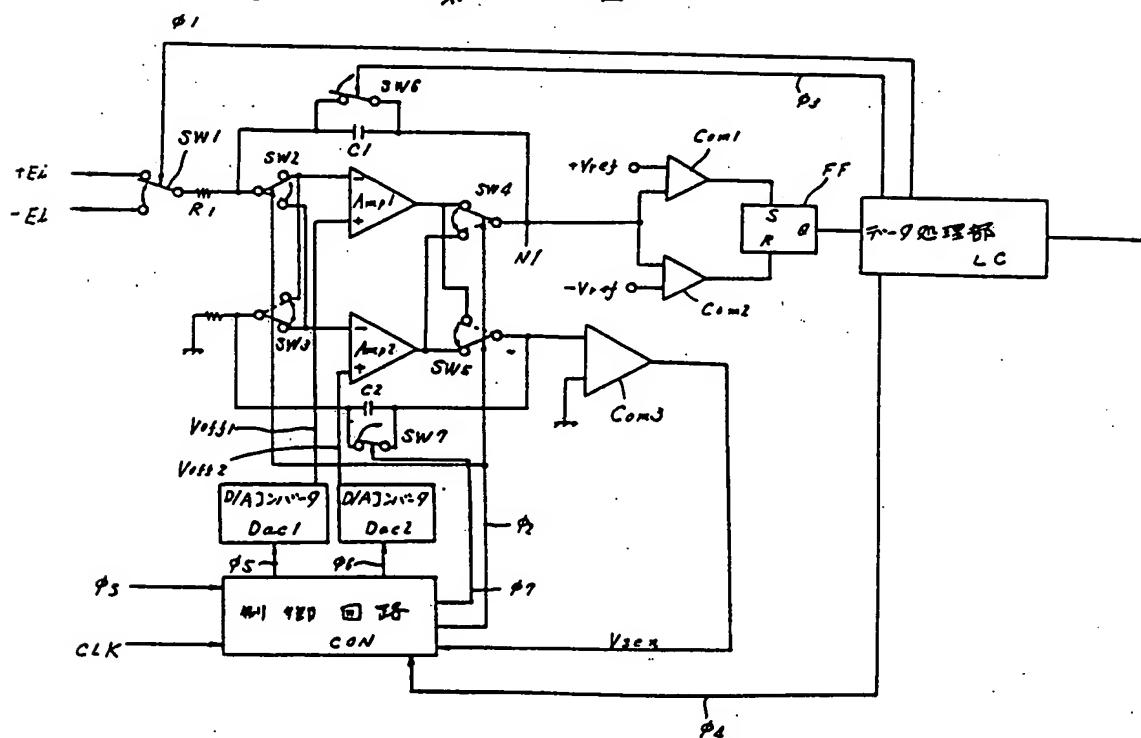
代理人弁理士 小川勝男



- 19 -

- 20 -

第 1 図



第 2 図

